

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 08-018444
 (43) Date of publication of application : 19.01.1996

(51) Int.CI. H03L 7/099
 H03K 3/03
 H03L 7/10

(21) Application number : 07-153099 (71) Applicant : SYMBIOS LOGIC INC
 (22) Date of filing : 20.06.1995 (72) Inventor : ANDERSON MICHAEL B
 SCHMITT KENNETH C

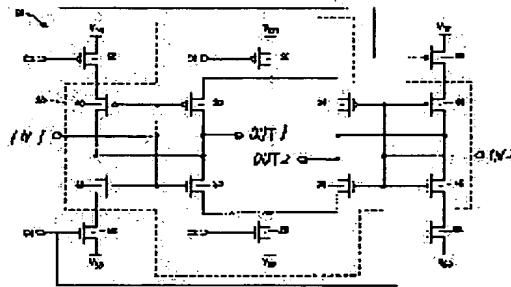
(30) Priority
 Priority number : 94 264815 Priority date : 23.06.1994 Priority country : US

(54) MULTIPLEX OPERATION RANGE VOLTAGE CONTROL OSCILLATOR

(57) Abstract:

PURPOSE: To considerably change the frequency range of a delay cell and to realize multiplex range VCO by changing the delay cell of a ring oscillator, to add a current supply source to a booster inverter and to selectively increase/ decrease current.

CONSTITUTION: The delay cell is basically a current control converter. The transmission delay of the respective cells changes by changing current to the delay cell and the frequency of ICO changes. The booster inverter constituted of four FET transistors 40, 42, 44 and 46 is incorporated in a main current stub inverter and therefore stronger delay cell is realized. When the strength of the booster inverter increases, the frequency range of VCO shifts to the higher frequency. When the strength of a booster decreases, the frequency range of VCO shifts to the lower frequency. Thus, the frequency range is considerably changed by increasing/decreasing the current of booster inverter current supply sources 50, 52, 54 and 56. Then, a multiplex range operation can be realized.



[Patent number] 3114157
[Date of registration] 29.09.2000
[Number of appeal against examiner's decision
of rejection] 2000-06482
[Date of requesting appeal against examiner's
decision of rejection] 01.05.2000
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A multiplex operating-range voltage controlled oscillator characterized by including two or more delay cells which have a booster inverter, and a means for fluctuating current of said booster inverter.

[Claim 2] An oscillator according to claim 1 characterized by said current increase and decrease of a means containing two or more current sources of supply.

[Claim 3] An oscillator according to claim 2 characterized by having accomplished so that said two or more current sources of supply may operate alternatively [at least one].

[Claim 4] An oscillator according to claim 2 characterized by at least one of said two or more of the current sources of supply controlling at least one bias of said booster inverter.

[Claim 5] An oscillator according to claim 1 characterized by including further a voltage-current converter which has two or more current Miller circuits.

[Claim 6] An oscillator according to claim 5 characterized by having accomplished so that said current Miller circuit may operate alternatively [at least one].

[Claim 7] An oscillator according to claim 5 characterized by one current Miller circuit pair operating at once.

[Claim 8] Said oscillator is amelioration of the phase locked loop circuit characterized by to include two or more delay cells which have (i) booster inverter, and a means for fluctuating at least one current of the (ii) aforementioned booster inverter including the oscillator combined with a filter combined with an electric-charge pump combined with a phase detector and said phase detector in actuation, and said electric-charge pump in actuation, and said filter in actuation.

[Claim 9] An oscillator according to claim 8 characterized by said current increase and decrease of a means containing two or more current sources of supply.

[Claim 10] An oscillator according to claim 9 characterized by having accomplished so that said two or more current sources of supply may operate alternatively [at least one].

[Claim 11] An oscillator according to claim 9 characterized by at least one of said the current sources of supply controlling at least one bias of said booster inverter.

[Claim 12] An oscillator according to claim 8 characterized by including further a voltage-current control converter which has two or more current Miller circuits.

[Claim 13] An oscillator according to claim 12 characterized by having accomplished so that said current Miller circuit may operate alternatively [at least one].

[Claim 14] An oscillator according to claim 12 characterized by having accomplished as operated only in one of said the current Miller circuits at least at once.

[Claim 15] A method which is a method for extending operating range of a phase locked loop containing two or more delay cells, and is characterized by including a phase which fluctuates current of at least one booster inverter of said delay cel.

[Claim 16] A method which is a method for operating a phase locked loop (PLL) circuit, and is characterized by including a phase where a user chooses clock frequency of said PLL, and a phase of adjusting clock frequency of said PLL automatically according to said user's selection.

[Claim 17] A method according to claim 16 characterized by said user being a digital controller.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] If this invention is specified more about high-speed circuit actuation, it relates to the method of improving the operating characteristic of a phase locked loop integrated circuit.

[0002]

[Description of the Prior Art] A high-speed serial circuit communication link becomes common gradually, and is increasingly used instead of a large-sized parallel connector. The speed of a high-speed serial circuit is not fixed with each industry standard. A serial interface chip needs the phase locked loop (PLL) for generally generating the clock for data transfer, and another PLL for data reception.

[0003] In a high-speed PLL circuit, a high-speed voltage controlled oscillator (VCO) is used. The working speed of VCO determines the frequency in which a serial interface chip operates. A different working speed by performing dividing and multiplying of frequency is realized. However, when a working speed cannot be realized by dividing and multiplying of frequency, the necessity of including additional VCO in layout comes out. A chip can be programmed now to operate with a working speed which is different by choosing a suitable oscillator.

[0004] In fact, it is [that two kinds of working speeds are only realized, and] using dividing and multiplying. If the range of VCO is very wide and another VCO is added, layout will become complicated and it will waste silicon surface area further. The easier solution method is using single VCO which can operate in another frequency range. Probably, it will also be useful to have the capacity for the working speed of some [one integrated circuit chip] to be realizable.

[0005] It is the important mode which should also take into consideration the operating range (namely, the range of the output frequency considered to the input voltage of a specific range) of VCO in a high-speed PLL circuit design. A ring oscillator may be used as one method of carrying out VCO. A ring oscillator consists of cascade connection delay cells. Clock frequency is decided by the number of a delay cell, and the time delay of each delay cell. It is also possible to be pushed aside by the time delay of a delay cell in the operating range which may change with temperature, supply voltage, and processings and was left distantly from the desired operating point.

[0006] In application of a phase locked loop, an armature-voltage control ring oscillator with the Staab inverter delay cell may be used at the time of CMOS integrated-circuit layout. Clock frequency is further accelerable if the Staab inverter delay cell and juxtaposition require with a booster inverter. However, a frequency range is restricted in the lower limit of a frequency range for a booster inverter. Compromise is born by whether a booster inverter is large how or a frequency range is high how, and how low a booster inverter is how much small and a frequency range is. In short, the frequency of an oscillator is restricted although the speed of an oscillator improves by addition of a booster inverter.

[0007] When designing RF VCO, the frequency drift (from the desired operating point) resulting from change of processing can cause a low yield. The high yield will be obtained, if a frequency range is extensible so that it may overlap between fluctuation of processing.

[0008]

[Problem(s) to be Solved by the Invention] The purpose of this invention is offering amelioration of VCO.

[0009] The further purpose of this invention is offering the multiplex operating range VCO.

[0010] Still more nearly another purpose of this invention is offering VCO in which an operating-range escape is free.

[0011]

[Means for Solving the Problem] This invention is amelioration of VCO which has two or more operating range. Multirange VCO layout has capacity which operates in two or operating range beyond it, and can extend capacity to manufacture a high-speed serial circuit which operates at the rate of some. By changing a delay cel of a ring oscillator, one or more working speeds are realizable. By adding a current source of supply to a booster inverter, and fluctuating current alternatively, a frequency range of a delay cel can be sharply changed now, and Multirange VCO can be realized.

[0012] Wide range VCO with high linearity is also offered by this invention. It becomes possible to extend a frequency range of VCO by such layout, and a circuit is added, and the linearity of a response can be improved. Furthermore, a response of VCO to fluctuation of processing can be decreased.

[0013]

[Example] The reference number 10 of drawing 1 has illustrated the block diagram of a typical phase locked loop. 18 compares the criteria phase 12 of an input with the output 14 of VCO23. The electric charge pump 19 adjusts the loading dose of a loop filter 20. The output 22 of a loop filter 20 is voltage which controls the frequency of an oscillator 23. Generally VCO23 is the two-step configuration of a voltage-current (V-I) converter and a current control oscillator (ICO). A VCO output frequency changes in proportion to the input voltage to a V-I converter.

[0014] Generally an oscillator 23 contains the current control oscillator 16 which was illustrated to drawing 2. ICO has odd delay cels. Each delay cel 24 is a current control converter fundamentally. Since there are odd delay cels, a condition always changes at the speed as which a delay cel is determined by the propagation delay of each cel. The propagation delay of each cel changes by changing the current to a delay cel, and the frequency of ICO changes.

[0015] One detail drawing of the delay cel of drawing 2 is illustrated to drawing 3. A delay cel is the current Staab differential inverter 24. Bias of the Staab inverter current is carried out by the V-I converter (not shown) by 26 and 28, and mirroring of the output of a V-I converter is carried out to inputs C1 and C2. When the input voltage of a V-I converter increases, the inverter current to which mirroring of [in a delay cel] was carried out increases, and the working speed of an oscillator is made to increase.

[0016] If specified more, signals IN1 and IN2 will be the inputs of two inverters of the differential inverter 24, and signals OUT1 and OUT2 will be output signals of two inverters. N-FET and the P-FET transistors 30 and 32 offer the reversal signal to the output OUT1 from an input IN1. Similarly, N-FET and the P-FET transistors 34 and 36 offer the reversal signal to the output OUT2 from an input IN2. The phase has reversed 180 degrees of inputs IN1 and IN2 to each. Similarly, as for outputs OUT1 and OUT2, 180 degrees of phases have shifted to each. Since control inputs C1 and C2 change the current which passes along an inverter, the propagation delay of a delay cel changes. Thereby, the frequency of an oscillator changes. If specified, P-FET26 will operate as a current source of supply, and will be adjusted in an input C1. Similarly, N-FET28 operates as a current source of supply, and is adjusted in an input C2. Actuation of an inverter accelerates by the increment in the bias current in a delay cel, therefore VCO comes to operate on high frequency.

[0017] A still more powerful delay cel is realized by building a booster inverter into a principal current Staab inverter. In drawing 4, the reference number 38 has illustrated this advanced delay cel. A booster inverter consists of four FET transistors 40, 42, 44, and 46. The transistor of a booster inverter makes the frequency of an oscillator increase. It is necessary to find an equilibrium point between the strength of the main SUTABU inverter, and a booster inverter. If the strength of a booster inverter increases, the frequency range of VCO will shift to high

frequency approach. If the strength of a booster decreases, the frequency range of VCO will be shifted to low frequency. Balance of frequency and linearity is realizable by setting up equipment proper. However, this configuration is insufficient when a larger frequency range is needed. Although the speed of an oscillator improves by addition of a booster inverter, it is because a frequency range is restricted.

[0018] [VCO in which a range escape is free] In order to realize a still larger clock frequency range, as illustrated to drawing 5, two or more armature-voltage control current sources of supply are mounted, and the current to a booster inverter is restricted. this mounting -- three -- desirable -- expensive ***** can be carried out. The 1st [the] restricts the current by which the current sources of supply 50, 52, 54, and 56 pass along a booster inverter, and decreases power consumption. It is that the current which decreased serves as an aid which minimizes the effect of processing fluctuation the 2nd. That is, from the inverter in the case of being the worst, the inverter in best linking directly to Vdd and Vss can pass much current, and will affect a propagation delay. Current is kept constant by using a current source of supply. The constant current of a booster inverter decreases the sensitivity of the delay cel to fluctuation of processing. For constant current, a propagation delay does not change so much but the sensitivity to processing fluctuation decreases.

[0019] VCO is [3rd] controllable by low frequency. For example, when inverter equipment is set up so that a propagation delay may become the shortest, the delay cel current of both the main SUTABU inverter and a booster inverter can be made drained by the current control function of a booster circuit. That is, low frequency is realizable. Moreover, a short propagation delay exists also in high frequency operation. Thereby, VCO comes to operate in a large range or the extended range.

[0020] Operation of delay cel 58 current of drawing 5 containing the equipment for [for the armature-voltage control current sources of supply 50, 52, 54, and 56] the armature-voltage control current sources of supply 26 and 28 is illustrated to drawing 6. The current source of supply 26 is carried out in an input C1, and bias of bias ** and the current source of supply 28 is carried out in an input C2. The current sources of supply 50 and 54 are carried out in an input C3, and bias of bias ** and the current sources of supply 52 and 56 is carried out in an input C4.

[0021] The schematic drawing of amelioration of the current control oscillator 60 is illustrated to drawing 7. Since the input it wrote by drawing 7 C1, C2, C3, and C4 [input] is driven, two bias circuits 62 and 64 are required. About control of these current mirror bias circuits 62 and 64, it mentions later.

[0022] Next, it is determined whether what we do with the bias of the booster inverter current sources of supply 50, 52, 54, and 56 of the delay cel 58. A nonlinearity response will be obtained if bias of these is carried out like the main SUTABU inverter. If these are maintained uniformly, reduction in a frequency range will be obtained. In order to conquer these defects, an one apparatus line type bias method is applied. For example, the current of a booster inverter is uniformly held on low frequency, and a nonlinearity response in a lower limit is decreased. On the higher frequency in which a response is usually formed, since a booster inverter increases linearly, it increases a range and its linearity of a circuit improves.

[0023] In order to realize armature-voltage control of a current control oscillator, two V-I converters are used and one uses another for the booster inverter current sources of supply 50, 52, 54, and 56 to the main SUTABU inverter 24. The output of two V-I converters is connected to current Miller circuits 62 and 64 respectively illustrated to drawing 7. Current Miller circuit 62 is controlled by inputs BH2 and BL2. The suitable V-I converter for offering BH and BL current mirror input of a lot is illustrated to drawing 8. In the illustrated example, the outputs BH and BL for the inputs BH1 and BL1 of current Miller circuit 62 are generated. The V-I converter circuit (below, a booster V-I converter is called) which became a pair is used in order to generate the current mirror inputs BH2 and BL2 for current Miller circuit 64.

[0024] Generally mirroring of the current bias of the circuit illustrated to drawing 8 is carried out from well-known typical band gap voltage criteria to ejection and inputs VBIAS1 and VBIAS2 with the conventional technology. Input VREF is set as fixed direct current voltage, and 2.9V are

desirable to 2.5V and booster V-I converters to main V-I converters. Input VFILTER is loop filter output voltage, as the reference number 22 of drawing 1 illustrated.

[0025] The plot of a current control response of both the main SUTABU inverter and a booster inverter is illustrated to drawing 9. The curve 66 of a continuous line is a curve of a main Staab V-I inverter. As the reference number 68 illustrated, a booster inverter current source of supply is uniformly maintained on low frequency. a booster V-I converter -- the conventional technology -- general -- well-known technology -- using -- a booster inverter -- about 2.6 -- the size of suitable equipment is chosen and designed so that a response may be extended and straight-line-ized just before it is linearly turned on by V and the main SUTABU inverter carries out a roll-off (namely, in that the increment in frequency by the increment in current becomes min).

[0026] The response of the whole VCO containing the current control oscillator which has a V-I converter and an extended delay cel is illustrated to drawing 10. The range of an oscillator is about 285MHz (370MHz – 655MHz). As compared with the 200MHz same ring oscillator designed using the same technology, about 30% of increment in a range is accepted in approximation. If it summarizes, this response will add a current source of supply to a booster inverter, and will be realized by controlling by method which straight-line-izes the response obtained over a large frequency range.

[0027] The further operating range is realizable by fluctuating the current of [Multirange VCO] booster inverter current sources of supply 50, 52, 54, and 56. That is, a frequency range can be sharply changed by fluctuating the current in a booster inverter, and multirange actuation can be realized. To drawing 11, the actual delay cel circuit of this multirange VCO is illustrated. Four addition circuits are added to the above-mentioned delay cel of drawing 6. The addition circuits 80, 82, 84, and 86 are four current sources of supply required since booster inverter bias is changed / fluctuated. In a suitable example, it is whether inputs C3 and C4 are confirmed or to confirm inputs C5 and C6, and only the current source of supply of a pair is turned on at once. However, all current sources of supply can be made ON or OFF at coincidence, and can also change further the clock frequency range of a delay cel / VCO. The whole current control ring oscillator equipped with multirange capacity is illustrated to drawing 12.

[0028] In order to operate correctly the circuit illustrated to drawing 12, current Miller circuit 66 is still more nearly required. Additional current Miller circuit needs another output from a booster V-I converter. The suitable example of the booster V-I converter equipped with the current Miller circuit of such an addition is illustrated to drawing 13. Although this circuit operates like the circuit illustrated to drawing 8, it differs in that selection for choosing suitable current Miller circuit in a MODE input can be performed now. The MODE input of a booster V-I converter is secured so that only one current Miller circuit may be turned on at once. A MODE input is a digital input which a user can control freely. With any equipments which can generate a digital output signal, a MODE input signal can be driven, for example with a custom-made control circuit, a microcontroller, or the programmable equipment that has other output signals.

[0029] As for the plot of drawing 14, the current in a booster inverter shows how it becomes irregular with input voltage. ((The dashed line illustrated) As) In larger current, a response becomes quick. As mentioned above with reference to the output current 66 of drawing 9, the linear sweep of the current which passes along the main SUTABU inverter is carried out. When a large frequency range is not required, the current in a nose is uniformly maintained over all ranges, and it is possible to make it fluctuate in another operating range.

[0030] Drawing 15 is transmission-characteristic drawing of the multirange ring oscillator which used amelioration of the delay cel explained on these specifications. The input voltage to an output frequency is plotted. It is shown how two different operating range is realizable by choosing another current Miller circuit. When the current which goes via a booster inverter fluctuates to another value, it turns out that the large frequency shift (namely, difference of a dashed line and a continuous line) in a transmission characteristic takes place. The frequency shift by the staging area is about 100MHz. The gain of each plot is almost the same. Since stability of a loop may be made into a sacrifice when VCO gain changes sharply, this is an important point.

[0031] It is what should be understood that it is what reserves a right about all change and modification that enter within the limits of this invention as it does not mean restricting this to the exact structure indicated on these specifications although the suitable example of this invention has been illustrated and explained and being set to an attached claim.

[0032]

[Effect of the Invention] By changing the delay cel of a ring oscillator, VCO which has one or more working speeds is realizable. Moreover, by adding the current source of supply to a booster inverter, and fluctuating current alternatively, the frequency range of a delay cel can be sharply changed now, and Multirange VCO can be realized. Furthermore, it becomes possible to extend the frequency range of VCO, and a circuit is added, and the linearity of a response can be improved, and also the response of VCO to fluctuation of processing can be decreased.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the phase locked loop circuit of the conventional technology.

[Drawing 2] It is the ring oscillator constituted using the delay cel.

[Drawing 3] It is an actuation current Staab inverter.

[Drawing 4] It is a delay cel containing a principal current Staab inverter and a booster inverter.

[Drawing 5] It is a delay cel containing a principal current Staab inverter and a current control booster inverter.

[Drawing 6] It is the schematic drawing of the circuit realized in the delay cel of drawing 5.

[Drawing 7] It is amelioration of ICO.

[Drawing 8] It is a voltage-current converter circuit.

[Drawing 9] It is the plot of the response characteristic of two voltage-current converter circuits.

[Drawing 10] It is the frequency response curve of amelioration of VCO.

[Drawing 11] It is the delay cel for Multiranges VCO accomplished so that a booster inverter current source of supply might make current bias fluctuate.

[Drawing 12] It is the multirange ICO which uses two or more delay cels illustrated to drawing 11.

[Drawing 13] It is the voltage-current converter which can fluctuate current.

[Drawing 14] It is the plot of the response characteristic of the voltage-current converter which can fluctuate current.

[Drawing 15] It is as a result of [of Multirange VCO] a simulation.

[Description of Notations]

10 Phase Locked Loop Circuit

12 Input-Reference Phase

14 VCO Output

16 ICO (Current Control Oscillator)

19 Electric Charge Pump

20 Loop Filter

22 Loop Filter Output

23 VCO (Voltage Controlled Oscillator)

24 Delay Cel

30 N-FET

32 P-FET

34 N-FET

36 P-FET

38 Advanced Delay Cel

40 FET

42 FET

44 FET

46 FET

50 Current Source of Supply

52 Current Source of Supply
54 Current Source of Supply
56 Current Source of Supply
60 Current Control Oscillator
62 Bias Circuit
64 Bias Circuit
66 Current Miller Circuit

[Translation done.]

* NOTICES *

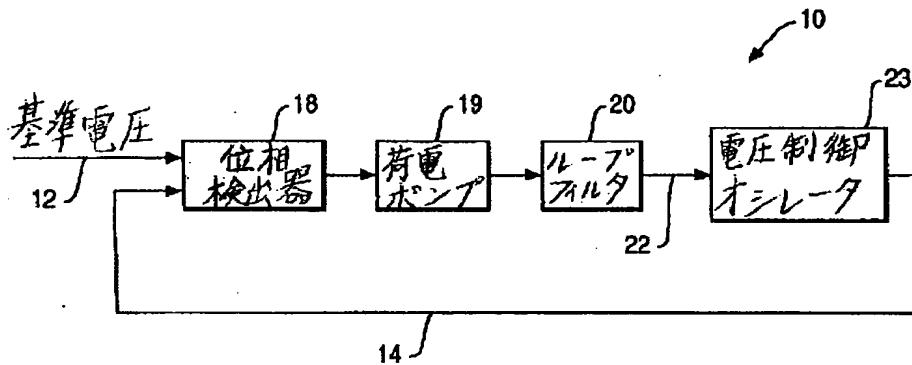
Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

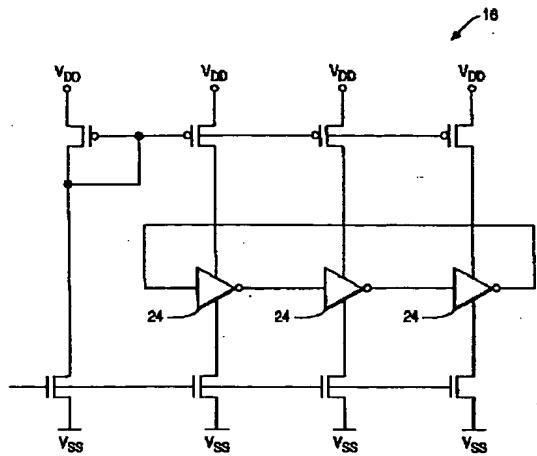
DRAWINGS

[Drawing 1]

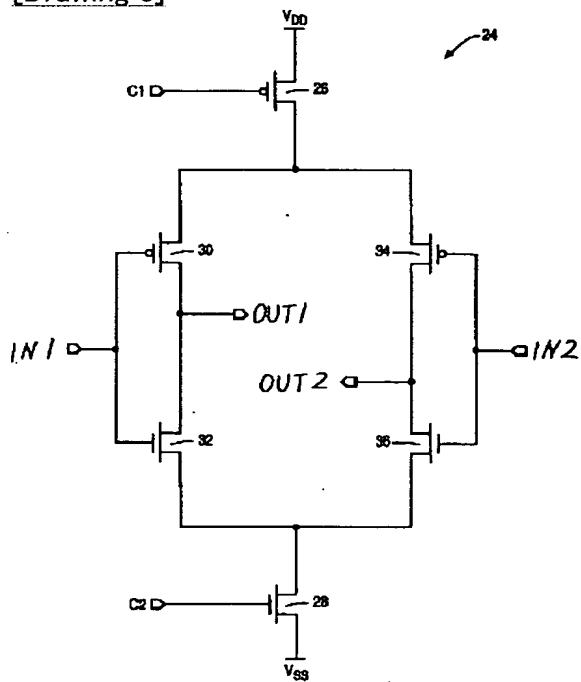
従来技術



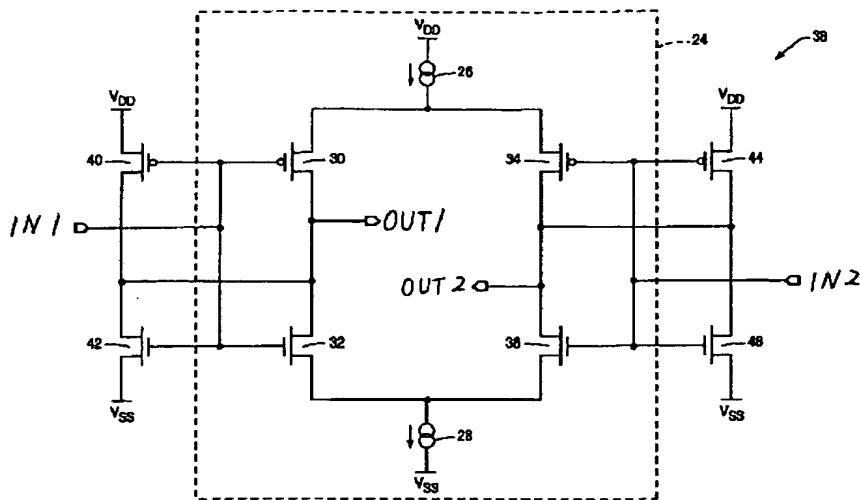
[Drawing 2]

従来技術

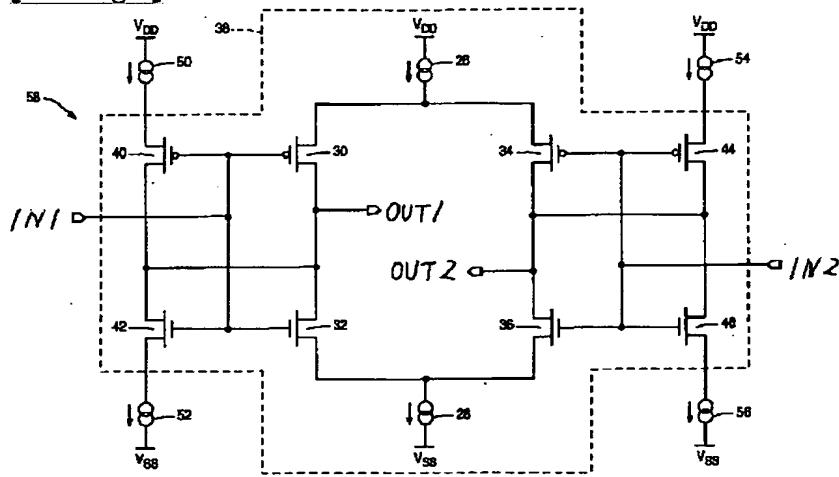
[Drawing 3]



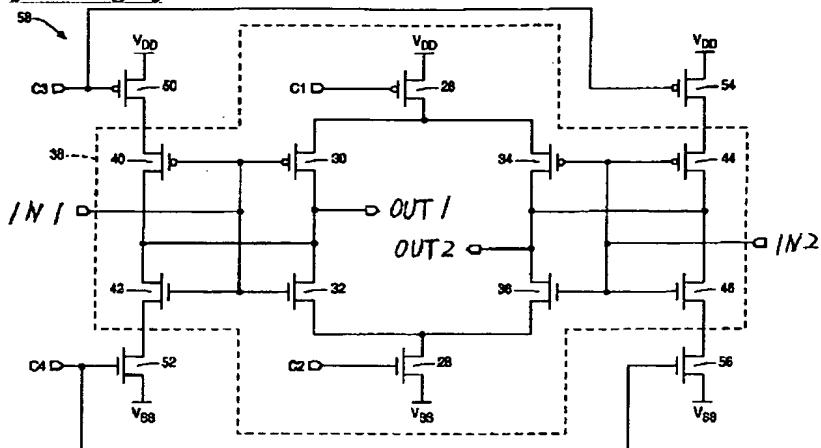
[Drawing 4]



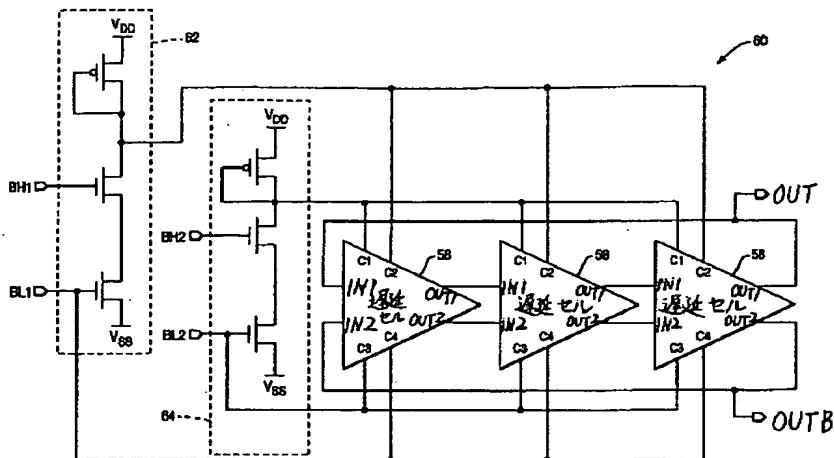
[Drawing 5]



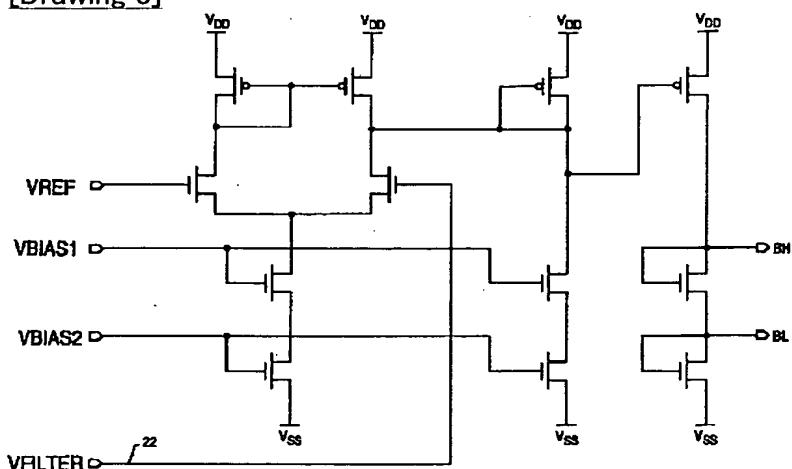
[Drawing 6]



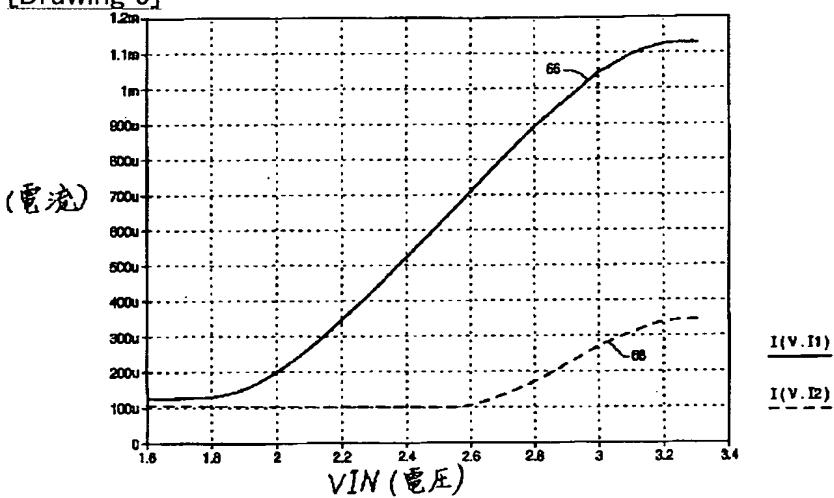
[Drawing 7]



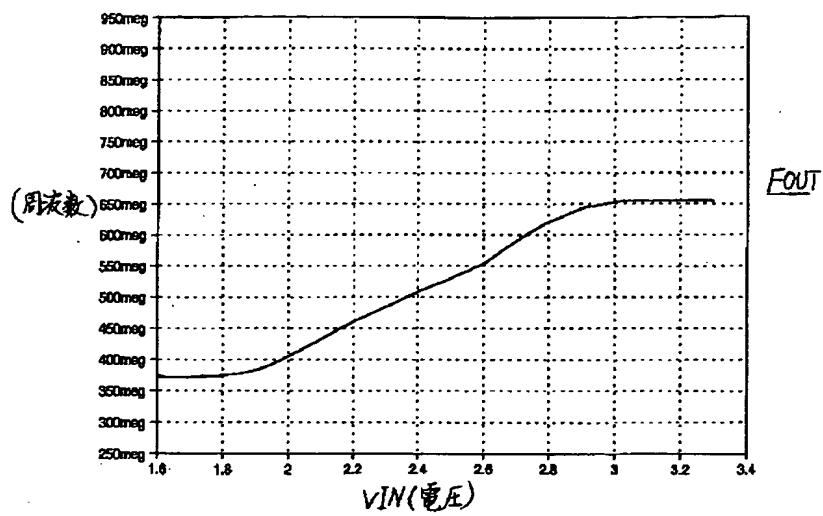
[Drawing 8]



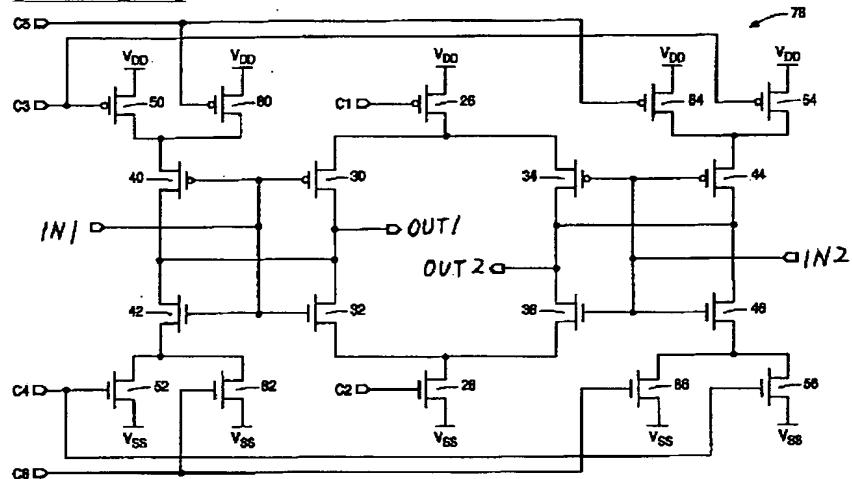
[Drawing 9]



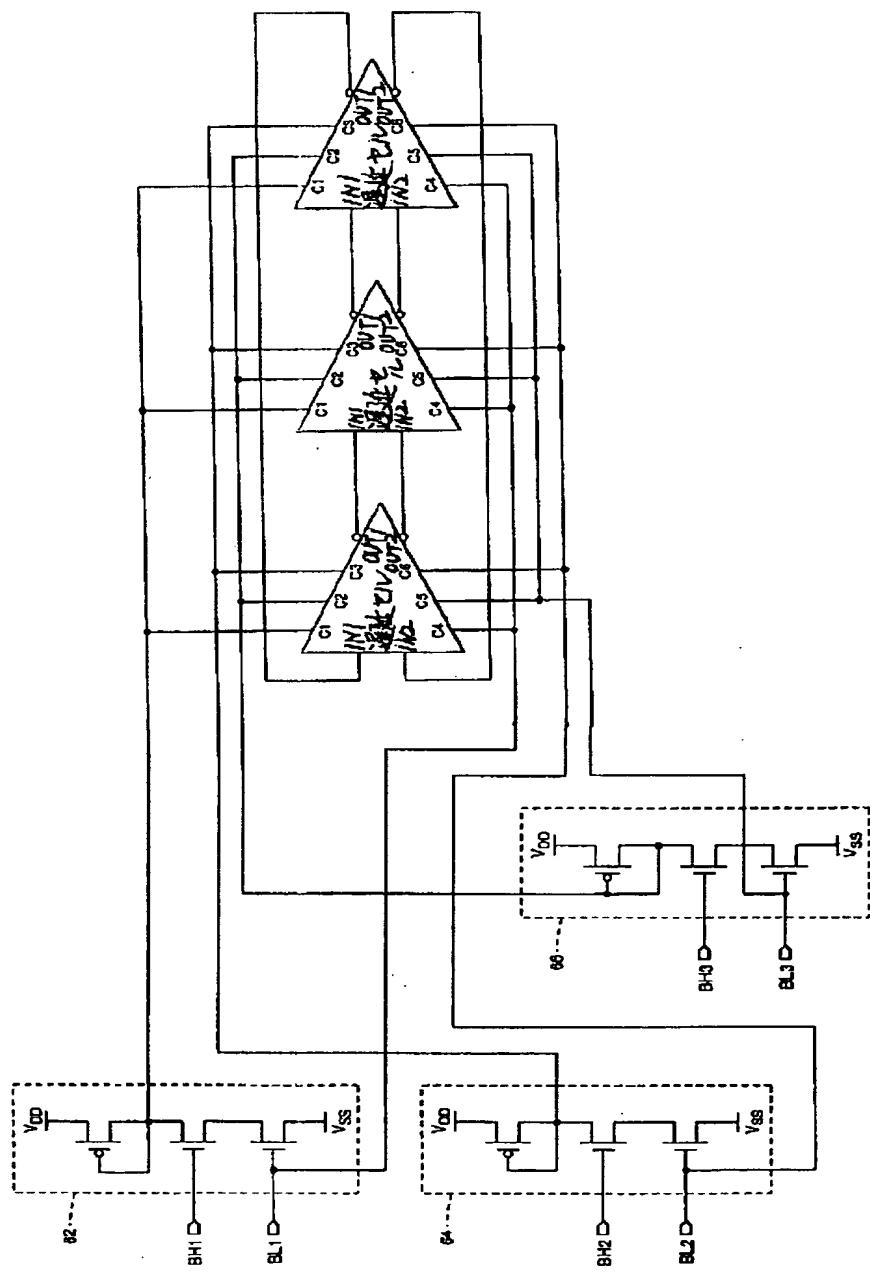
[Drawing 10]



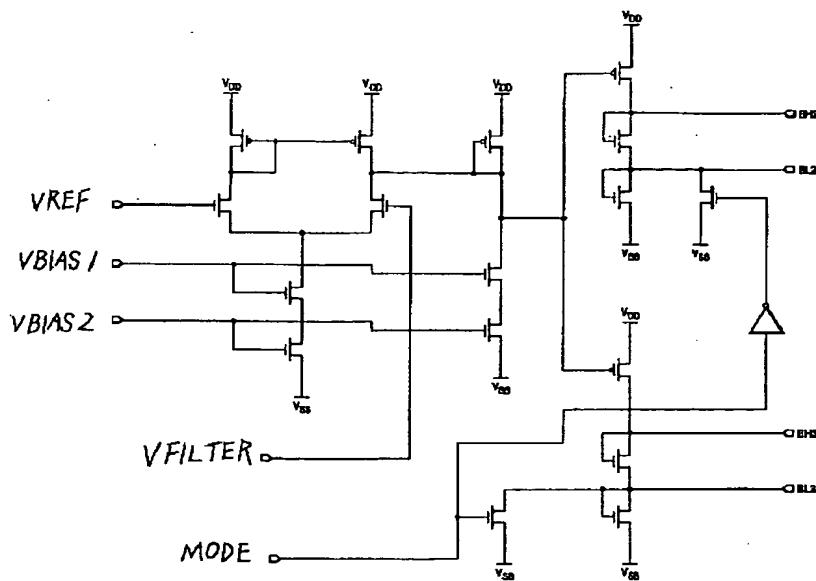
[Drawing 11]



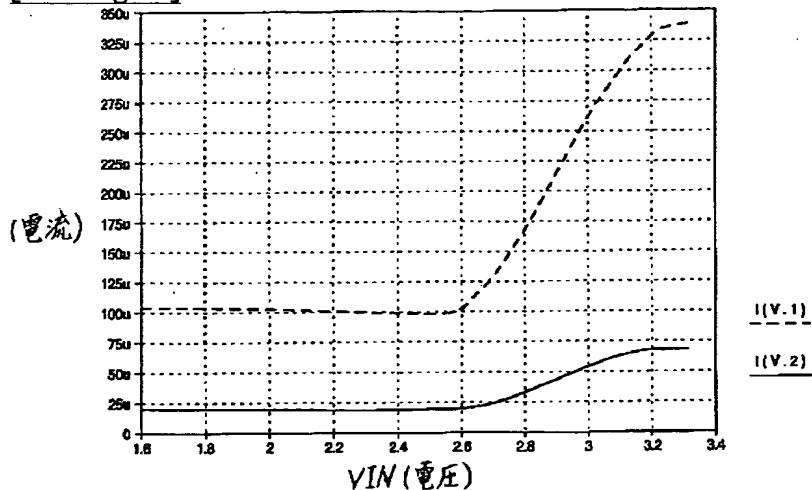
[Drawing 12]



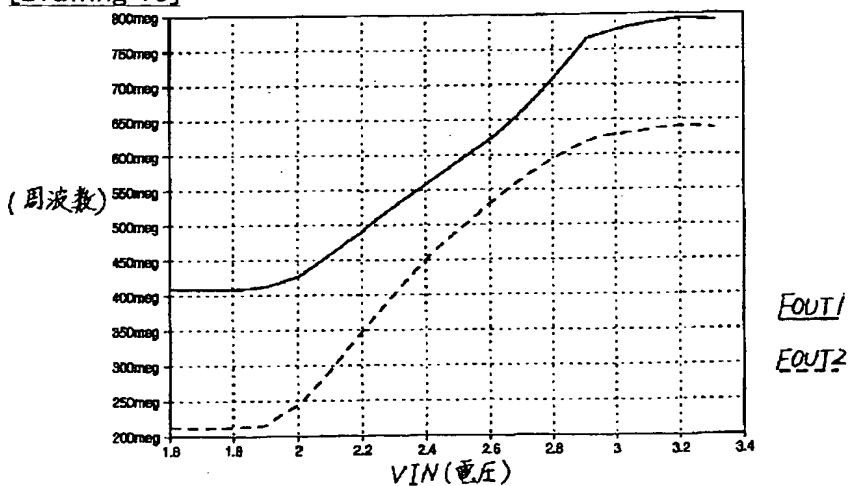
[Drawing 13]



[Drawing 14]



[Drawing 15]



[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-18444

(43)公開日 平成8年(1996)1月19日

(51)Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
H 03 L 7/099				
H 03 K 3/03				
H 03 L 7/10				

H 03 L 7/08	F
7/10	Z
審査請求 未請求 請求項の数17	OL (全 12 頁)

(21)出願番号 特願平7-153099

(71)出願人 595026416

シンバイオス・ロジック・インコーポレイテッド

(22)出願日 平成7年(1995)6月20日

アメリカ合衆国 コロラド州 80525 フォートコリンズ ダンフィールド コート 2001

(31)優先権主張番号 08/264,815

(72)発明者 マイケル ピー. アンダーソン

(32)優先日 1994年6月23日

アメリカ合衆国 コロラド州 80918 コロラドスプリングス フェトロック サークル 3907

(33)優先権主張国 米国(US)

(74)代理人 弁理士 西山 善章 (外2名)

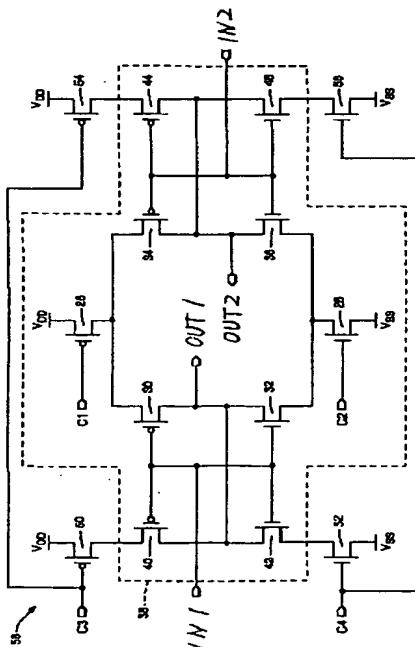
最終頁に続く

(54)【発明の名称】 多重動作範囲電圧制御オシレータ

(57)【要約】

【目的】 高速電圧制御オシレータ(VCO)の動作範囲を拡張し転送特性を直線化する回路設計と、多重範囲VCOとを提供する。

【構成】 動作範囲拡張は電流制御リングオシレータの遅延セルを変更することにより実現する。VCO転送特性は遅延セルに追加した素子全体の線型電流制御により直線化する。更に、多重範囲動作が可能なVCOを提供する。ブースターアンバータ電流を制御する複数の電流供給源を追加し、追加した電流供給源を選択的に有効にすることで複数の周波数範囲を有するVCOが実現できる。



【特許請求の範囲】

【請求項 1】 ブースターインバータを有する複数の遅延セルと、
前記ブースターインバータの電流を増減するための手段とを含むことを特徴とする多重動作範囲電圧制御オシレータ。

【請求項 2】 前記電流増減手段が複数の電流供給源を含むことを特徴とする請求項 1 に記載のオシレータ。

【請求項 3】 前記複数の電流供給源の少なくとも 1 つが選択的に作動されるように成してあることを特徴とする請求項 2 に記載のオシレータ。

【請求項 4】 前記複数の電流供給源の少なくとも 1 つが前記ブースターインバータの少なくとも 1 つのバイアスを制御することを特徴とする請求項 2 に記載のオシレータ。

【請求項 5】 複数の電流ミラー回路を有する電圧-電流コンバータを更に含むことを特徴とする請求項 1 に記載のオシレータ。

【請求項 6】 前記電流ミラー回路の少なくとも 1 つが選択的に作動されるように成してあることを特徴とする請求項 5 に記載のオシレータ。

【請求項 7】 一度に 1 つの電流ミラー回路対が作動されることを特徴とする請求項 5 に記載のオシレータ。

【請求項 8】 位相検出器と、
前記位相検出器と動作的に結合された荷電ポンプと、
前記荷電ポンプと動作的に結合されたフィルタと、
前記フィルタと動作的に結合されたオシレータを含み、
前記オシレータは (i) ブースターインバータを有する複数の遅延セルと、(ii) 前記ブースターインバータの少なくとも 1 つの電流を増減するための手段とを含むことを特徴とするフェーズロックループ回路の改良。

【請求項 9】 前記電流増減手段が複数の電流供給源を含むことを特徴とする請求項 8 に記載のオシレータ。

【請求項 10】 前記複数の電流供給源の少なくとも 1 つが選択的に作動されるように成してあることを特徴とする請求項 9 に記載のオシレータ。

【請求項 11】 前記電流供給源の少なくとも 1 つが前記ブースターインバータの少なくとも 1 つのバイアスを制御することを特徴とする請求項 9 に記載のオシレータ。

【請求項 12】 複数の電流ミラー回路を有する電圧-電流制御コンバータを更に含むことを特徴とする請求項 8 に記載のオシレータ。

【請求項 13】 前記電流ミラー回路の少なくとも 1 つが選択的に作動されるように成してあることを特徴とする請求項 12 に記載のオシレータ。

【請求項 14】 一度に少なくとも前記電流ミラー回路の 1 つだけが作動されるように成してあることを特徴とする請求項 12 に記載のオシレータ。

【請求項 15】 複数の遅延セルを含むフェーズロック

ループの動作範囲を拡張するための方法であって、前記遅延セルの少なくとも 1 つのブースターインバータの電流を増減する段階を含むことを特徴とする方法。

【請求項 16】 フェーズロックループ (PLL) 回路を作動させるための方法であって、
前記PLLの動作周波数を利用者が選択する段階と、
前記利用者の選択に応じて前記PLLの動作周波数を自動的に調節する段階とを含むことを特徴とする方法。

【請求項 17】 前記利用者がデジタル制御装置であることを特徴とする請求項 16 に記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高速回路動作に関し、より特定すれば、フェーズロックループ集積回路の動作特性を改善する方法に関する。

【0002】

【従来技術】高速シリアル回線通信が次第に一般化し大型のパラレルコネクタの代わりに使われるようになってきている。高速シリアル回線の速度は各々の業界標準によって一定していない。シリアルインタフェースチップは一般にデータ転送用クロックを発生するためのフェーズロックループ (PLL) とデータ受信用の別のPLLを必要とする。

【0003】高速PLL回路では高速電圧制御オシレータ (VCO) を使用する。VCOの動作速度がシリアルインタフェースチップが動作する周波数を決定する。周波数の分周と倍数を行うことにより異なる動作速度を実現している。しかし動作速度が周波数の分周と倍数で実現できない場合には、追加のVCOを設計に組み込む必要が出てくる。適当なオシレータを選択することで異なる動作速度で動作するようにチップをプログラムできるようになる。

【0004】実際には、分周と倍数を用いて 2 種類の動作速度が実現されるのみである。VCOの範囲は非常に広く、別のVCOを追加すると設計が複雑になり更にシリコン表面積を浪費する。もっと簡単な解決方法は別の周波数範囲で動作できるような単一のVCOを使用することである。1つの集積回路チップで幾つかの動作速度を実現できる能力を有することもまた有用であろう。

【0005】VCOの動作範囲 (即ち特定範囲の入力電圧に対して考えられる出力周波数の範囲) もまた高速PLL回路設計において考慮すべき重要な態様である。VCOを実施する 1 つの方法としては、リングオシレータを使用することがある。リングオシレータはカスケード接続遅延セルから構成される。遅延セルの個数と、各々の遅延セルの遅延時間で動作周波数が決まる。遅延セルの遅延時間は温度、供給電圧と処理によって変化することがあり、所望の動作点から遠く離れた動作範囲に押しやられることも有り得る。

【0006】フェーズロックループの応用において、

CMOS集積回路設計時にスターブインバータ遅延セル付き電圧制御リングオシレータを使用することがある。スターブインバータ遅延セルと並列にブースターインバータをもちいると更に動作周波数を高速化できる。しかし、ブースターインバータのため周波数範囲は周波数範囲の下端で制限される。ブースターインバータがどの程度大きいかと周波数範囲がどの程度高いか、またブースターインバータがどの位小さく周波数範囲がどの位低いかで妥協が生まれる。要するに、ブースターインバータの追加でオシレータの速度は向上するが、オシレータの周波数が制限される。

【0007】高周波VCOを設計する場合、処理の変化に起因する（所望の動作点からの）周波数ドリフトが低い歩留まりの原因となり得る。処理の変動の間で重複するよう周波数範囲を拡張できれば、高い歩留まりが得られることになる。

【0008】

【発明が解決しようとする課題】本発明の目的はVCOの改良を提供することである。

【0009】本発明の更なる目的は多重動作範囲VCOを提供することである。

【0010】本発明の更に別の目的は動作範囲拡張自在なVCOを提供することである。

【0011】

【課題を解決するための手段】本発明は複数の動作範囲を有するVCOの改良である。多重範囲VCO設計は2つ又はそれ以上の動作範囲で作動する能力を有しており、幾つかの速度で動作する高速シリアル回線を製造する能力を拡張できる。リングオシレータの遅延セルを変更することにより、1つ以上の動作速度が実現可能である。ブースタインバータへの電流供給源を追加し選択的に電流を増減することにより、遅延セルの周波数範囲を大幅に変化させることが出来るようになり、多重範囲VCOが実現できる。

【0012】直線性の高い広範囲VCOも本発明で提供される。このような設計によりVCOの周波数範囲を拡張することが可能になり、また回路を追加して応答の直線性を改善できる。更に、処理の変動に対するVCOの応答を減少できる。

【0013】

【実施例】典型的なフェーズロックドリープのブロック図を図1の参照番号10で図示してある。入力の基準位相12を18度VCO23の出力14と比較する。荷電ポンプ19がループフィルタ20の荷電量を調整する。ループフィルタ20の出力22はオシレータ23の周波数を制御する電圧である。VCO23は一般に電圧-電流(V-I)コンバータと電流制御オシレータ(ICO)の2段階構成である。VCO出力周波数はV-Iコンバータへの入力電圧に比例して変化する。

【0014】オシレータ23は一般に図2に図示したよ 50

うな電流制御オシレータ16を含む。ICOは奇数個の遅延セルを有する。各々の遅延セル24は基本的に電流制御コンバータである。遅延セルが奇数個あるので、遅延セルはそれぞれのセルの伝播遅延により決定される速度で状態が常に変化する。遅延セルへの電流を変化させることでそれぞれのセルの伝播遅延が変化し、ICOの周波数が変化する。

【0015】図2の遅延セルの1つの詳細図を図3に図示する。遅延セルは電流スターブ差動インバータ24である。スターブインバータ電流は26と28でV-Iコンバータ(図示していない)によりバイアスされ、V-Iコンバータの出力は入力C1とC2にミラーリングされる。V-Iコンバータの入力電圧が増加すると遅延セル内のミラーリングされたインバータ電流が増加し、オシレータの動作速度を増加させる。

【0016】より特定すれば、信号IN1とIN2は差動インバータ24の2個のインバータの入力、また信号OUT1とOUT2は2つのインバータの出力信号である。N-FETとP-FETトランジスタ30、32は入力IN1から出力OUT1への反転信号を提供する。同様に、N-FETとP-FETトランジスタ34、36は入力IN2から出力OUT2への反転信号を提供する。入力IN1とIN2は各々に対して位相が180度反転している。同様に、出力OUT1とOUT2は各々に対して位相が180度ずれている。制御入力C1とC2はインバータを通る電流を変化させて、遅延セルの伝播遅延が変化する。これによりオシレータの周波数が変化する。特定すれば、P-FET26が電流供給源として動作し、入力C1で調節される。同様にN-FET28は電流供給源として動作し、入力C2で調節される。遅延セル内のバイアス電流の増加によりインバータの動作が高速化し、そのためVCOは高い周波数で作動するようになる。

【0017】ブースタインバータを主電流スターブインバータに組み込むことにより、更に強力な遅延セルが実現される。この改良型遅延セルは図4において参照番号38で図示してある。ブースタインバータは4個のFETトランジスタ40、42、44、46からなる。ブースタインバータのトランジスタはオシレータの周波数を増加させる。主スターブインバータの強さとブースタインバータの間で均衡点を見つける必要がある。ブースタインバータの強さが増加するとVCOの周波数範囲が高い周波数寄りにシフトする。ブースターのつよさが減少するとVCOの周波数範囲は低い周波数へとシフトする。装置を適正に設定することで周波数と直線性の均衡が実現できる。しかもしもっと広い周波数範囲が必要とされる場合には、この構成では不十分である。ブースタインバータの追加でオシレータの速度は向上するが、周波数範囲が制限されるためである。

【0018】【範囲拡張自在なVCO】さらに広い動作

周波数範囲を実現するには、図5に図示したように、複数の電圧制御電流供給源を実装してブースターインバータへの電流を制限する。この実装で3つの望ましい高価が実現できる。その第1は、電流供給源50、52、54、56がブースターインバータを通る電流を制限して電力消費を減少させる。第2には、減少した電流が処理変動の影響を最小限にとどめる一助となることである。つまりV_{dd}とV_{ss}へ直結した最善の場合のインバータは最悪の場合のインバータより多くの電流を流すことが出来、伝播遅延に影響を与えることになる。電流供給源を使用することで電流は一定に保たれる。ブースターインバータの定電流は処理の変動に対する遅延セルの感度を減少させる。定電流のため、伝播遅延はそれほど変化せず、処理変動に対する感度が減少する。

【0024】第3に、VCOは低い周波数で制御できる。例えば、伝播遅延が最短になるようにインバータ装置を設定した場合、ブースターハーフの電流制御機能により主スチーブインバータとブースターインバータ両方の遅延セル電流を枯渇させることができ。つまり低い周波数が実現可能である。また短い伝播遅延が高周波動作においても存在する。これによりVCOは広い範囲又は拡張された範囲で動作するようになる。

【0025】電圧制御電流供給源50、52、54、56のためと電圧制御電流供給源26、28のための装置を含む図5の遅延セル58電流の実施を図6に図示してある。電流供給源26は入力C1でバイアス視、電流供給源28は入力C2でバイアスする。電流供給源50、54は入力C3でバイアス視、電流供給源52、56は入力C4でバイアスする。

【0026】電流制御オシレータ60の改良の略図を図7に図示する。2つのバイアス回路62、64は図7でC1、C2、C3、C4と表記した入力を駆動するため必要である。これら電流ミラーバイアス回路62、64の制御については後述する。

【0027】次に、遅延セル58のブースターインバータ電流供給源50、52、54、56をどのようにバイアスするかを決定する。これらが主スチーブインバータと同様にバイアスされると非直線性応答が得られる。これらが一定に維持されると周波数範囲の減少が得られる。これらの欠点を克服するためには、一体型線型バイアス方式を適用する。例えば、ブースターインバータの電流を低い周波数で一定に保持して下端での非直線性応答を減少させる。応答が通常形成されるもと高い周波数では、ブースターインバータは直線的に増加するので範囲を増大させ回路の直線性が向上する。

【0028】電流制御オシレータの電圧制御を実現するには、2つのV-Iコンバータを使用し、1つは主スチーブインバータ24へ、もう1つはブースターインバータ電流供給源50、52、54、56に使用する。2つのV-Iコンバータの出力を各々図7に図示した電流ミ

ラー回路62、64へ接続する。電流ミラーハーフ62は入力BH2とBL2で制御される。一組のBHとBL電流ミラーハーフを提供するための好適なV-Iコンバータを図8に図示する。図示した実施例では、電流ミラーハーフ62の入力BH1とBL1のための出力BHとBLが生成される。対になったV-Iコンバータ回路（以下ではブースターバーV-Iコンバータと称する）は電流ミラーハーフ64のための電流ミラーハーフ入力BH2とBL2を生成するために使用する。

【0029】図8に図示した回路の電流バイアスは従来技術で一般に周知の典型的なバンドギャップ電圧基準から取り出し、入力VB1AS1とVB1AS2へミラーリングする。入力VREFは一定の直流電圧に設定し、主V-Iコンバータ用には2.5V、ブースターバーV-Iコンバータ用には2.9Vが望ましい。入力VFILTは図1の参照番号22で図示したようにループフィルタ出力電圧である。

【0030】主スチーブインバータとブースターインバータ双方の電流制御応答のプロットを図9に図示する。実線の曲線66は主スチーブV-Iインバータの曲線である。参照番号68で図示したように、ブースターインバータ電流供給源は低い周波数では一定に維持される。ブースターバーV-Iコンバータは従来技術で一般に周知の技術を用いてブースターインバータが約2.6Vで直線的にオンになり主スチーブインバータがロールオフする直前に（即ち電流の増加による周波数増加が最小になる点で）応答を拡張し直線化するよう適切な装置の大きさを選択して設計する。

【0031】V-Iコンバータと拡張遅延セルを有する電流制御オシレータを含むVCO全体の応答を図10に図示する。オシレータの範囲は約285MHz (370MHz ~ 655MHz) である。同じ技術を使用して設計した同様な200MHzのリングオシレータと比較して、近似的に約30%の範囲増加が認められる。要約すると、この応答はブースターインバータに電流供給源を追加し、広い周波数範囲にわたって得られる応答を直線化する方法で制御することにより実現されるものである。

【0032】【多重範囲VCO】ブースターインバータ電流供給源50、52、54、56の電流を増減することで更なる動作範囲を実現できる。つまり、ブースターインバータ内の電流を増減することで周波数範囲を大幅に変更し、多重範囲動作を実現することができる。図11にはこの多重範囲VCOの実際の遅延セル回路を図示する。図6の前述の遅延セルに4つの付加回路を追加している。付加回路80、82、84、86はブースターインバータ・バイアスを変更／増減するために必要な4つの電流供給源である。好適実施例においては、入力C3とC4を有効にするか、又は入力C5とC6を有効にするかのいずれかで、一度に一对の電流供給源だけがオ

ンになる。しかし電流供給源は全て同時にオン又はオフにして、遅延セル／VCOの動作周波数範囲を更に変更することも出来る。多重範囲能力を備えた電流制御リングオシレータ全体を図12に図示する。

【0028】図12に図示した回路を正しく機能させるには、更に電流ミラー回路66が必要である。追加の電流ミラー回路はブースターV-Iコンバータからの別の出力を必要とする。このような追加の電流ミラー回路を備えたブースターV-Iコンバータの好適実施例を図13に図示する。この回路は図8に図示した回路と同様に動作するが、MODE入力で適当な電流ミラー回路を選択するための選択が行えるようになっている点で異なっている。ブースターV-IコンバータのMODE入力は一度に1つだけの電流ミラー回路がオンになるように保障する。MODE入力は利用者が制御自在なデジタル入力である。デジタル出力信号を生成可能などのような装置でも、例えばカスタム制御回路、マイクロコントローラ、又はその他の出力信号を有するプログラム可能な装置でMODE入力信号を駆動できる。

【0029】図14のプロットはブースターアインバータ内での電流が入力電圧でどのように変調されるかを示す。(破線で図示したような)大きい電流ほど応答が速くなる。主スチーブインバータを通る電流は図9の出力電流66を参照して前述したように線形掃引される。広い周波数範囲が要求されない場合には、鼻内の電流を全範囲にわたって一定に維持しておき、別の動作範囲で増減させることが可能である。

【0030】図15は本明細書で説明した遅延セルの改良を使用した多重範囲リングオシレータの転送特性図である。出力周波数に対する入力電圧がプロットしてある。別の電流ミラー回路を選択することでどのように2つの異なった動作範囲を実現できるかを示す。ブースターアインバータを経由する電流が別の値に増減した場合に転送特性における大幅な周波数シフト(即ち破線と実線の差)が起こることが分る。中間領域での周波数シフトは約100MHzである。各々のプロットの利得はほぼ同一である。VCO利得が大幅に変化した場合にループの安定性が犠牲にされることがあるので、これは重要な点である。

【0031】本発明の好適実施例を図示し説明してきたが、これは本明細書で開示した正確な構造に制限することを意図するものではなく、添付の請求項に定めるとおりに本発明の範囲内に入る全ての変化及び変更について権利を留保するものであることは理解されるべきことである。

【0032】

【発明の効果】 リングオシレータの遅延セルを変更することにより、1つ以上の動作速度を有するVCOが実現できる。また、ブースターアインバータへの電流供給源を追加し選択的に電流を増減することにより、遅延セルの周

波数範囲を大幅に変化させることができるように、多重範囲VCOが実現できる。さらに、VCOの周波数範囲を拡張することが可能になり、回路を追加して応答の直線性を改善できる他、処理の変動に対するVCOの応答を減少できる。

【図面の簡単な説明】

【図1】 従来技術のフェーズロックループ回路である。

【図2】 遅延セルを使用して構成したリングオシレータである。

【図3】 作動電流スターブインバータである。

【図4】 主電流スターブインバータとブースタインバータを含む遅延セルである。

【図5】 主電流スターブインバータと電流制御ブースタインバータを含む遅延セルである。

【図6】 図5の遅延セルで実現した回路の略図である。

【図7】 ICOの改良である。

【図8】 電圧-電流コンバータ回路である。

【図9】 2つの電圧-電流コンバータ回路の応答特性のプロットである。

【図10】 VCOの改良の周波数応答曲線である。

【図11】 ブースタインバータ電流供給源が電流バイアスを増減させるように成した多重範囲VCO用の遅延セルである。

【図12】 図11に図示した複数の遅延セルを使用する多重範囲ICOである。

【図13】 電流を増減できる電圧-電流コンバータである。

【図14】 電流を増減できる電圧-電流コンバータの応答特性のプロットである。

【図15】 多重範囲VCOのシミュレーション結果である。

【符号の説明】

10 フェーズロックループ回路

12 入力基準位相

14 VCO出力

16 ICO(電流制御オシレータ)

19 荷電ポンプ

20 ループフィルタ

22 ループフィルタ出力

23 VCO(電圧制御オシレータ)

24 遅延セル

30 N-FET

32 P-FET

34 N-FET

36 P-FET

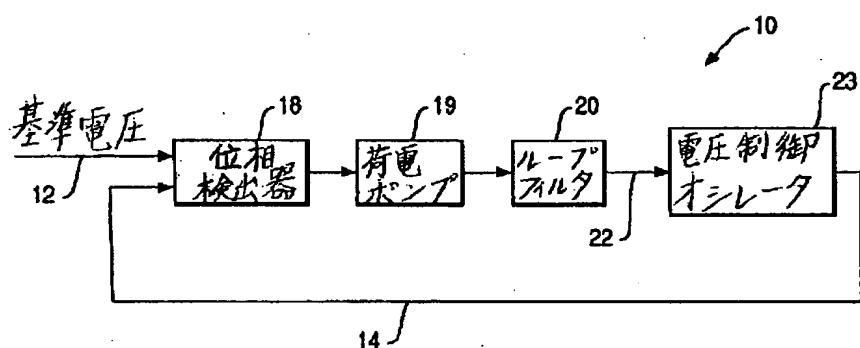
38 改良型遅延セル

40 FET

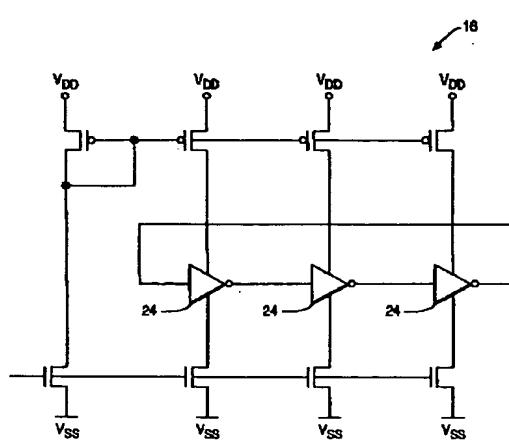
42 FET

4 4	F E T	5 6	電流供給源
4 6	F E T	6 0	電流制御オシレータ
5 0	電流供給源	6 2	バイアス回路
5 2	電流供給源	6 4	バイアス回路
5 4	電流供給源	6 6	電流ミラー回路

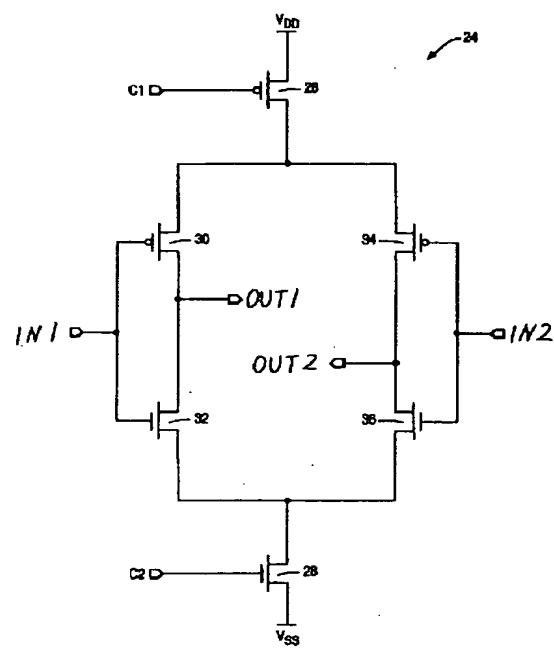
【図 1】

従来技術

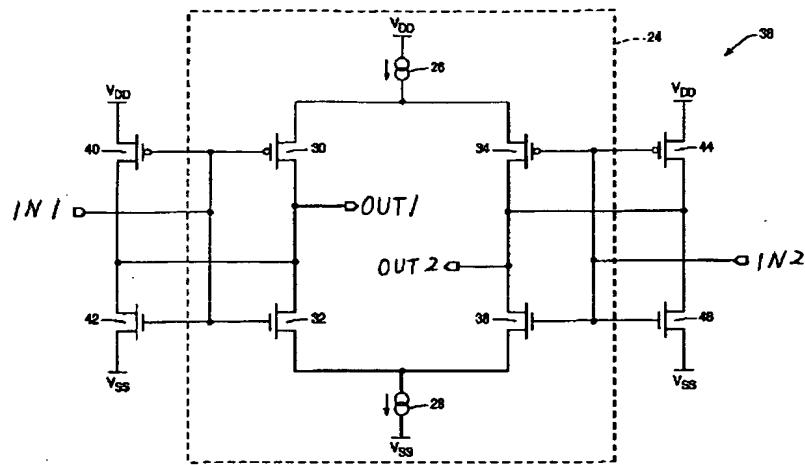
【図 2】

従来技術

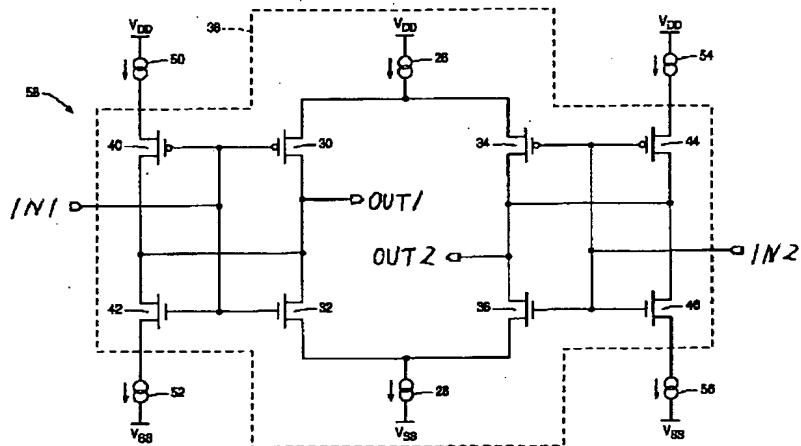
【図 3】



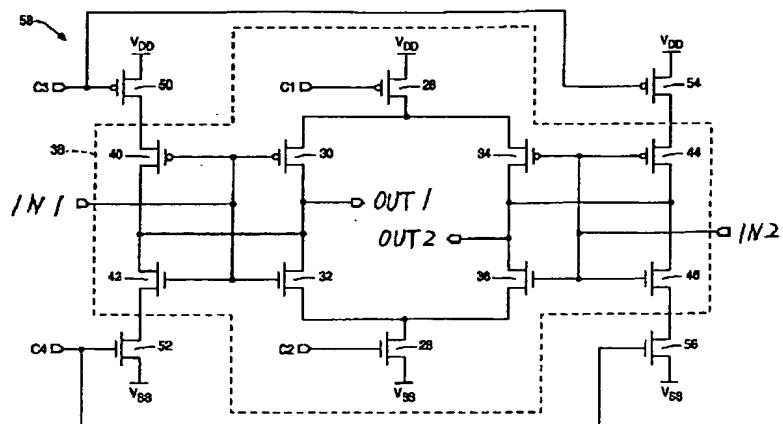
【図 4】



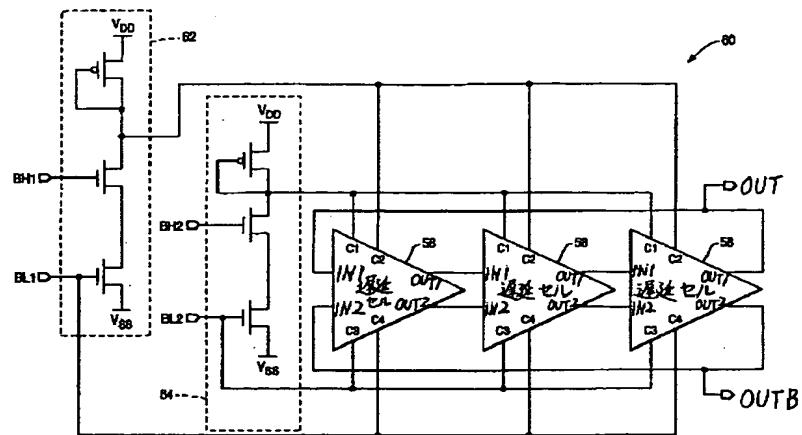
【図 5】



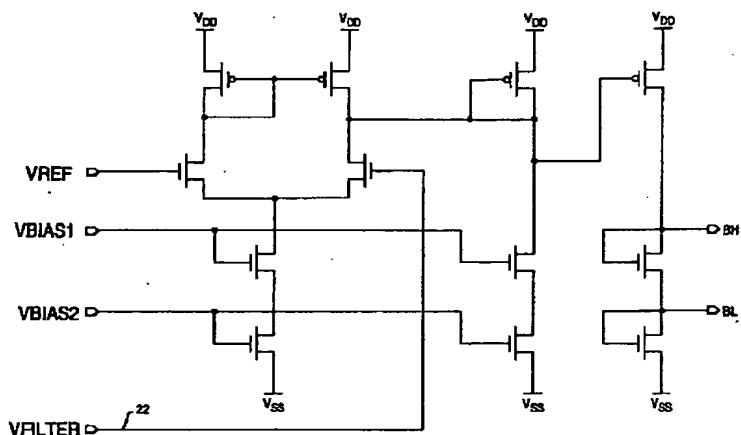
【図 6】



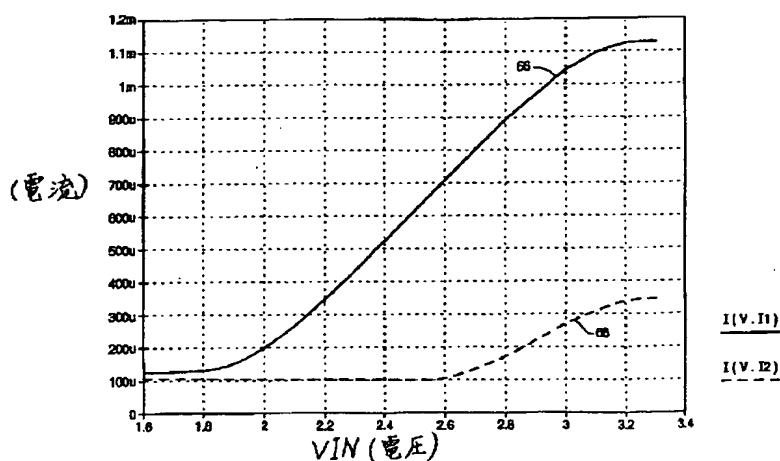
【図 7】



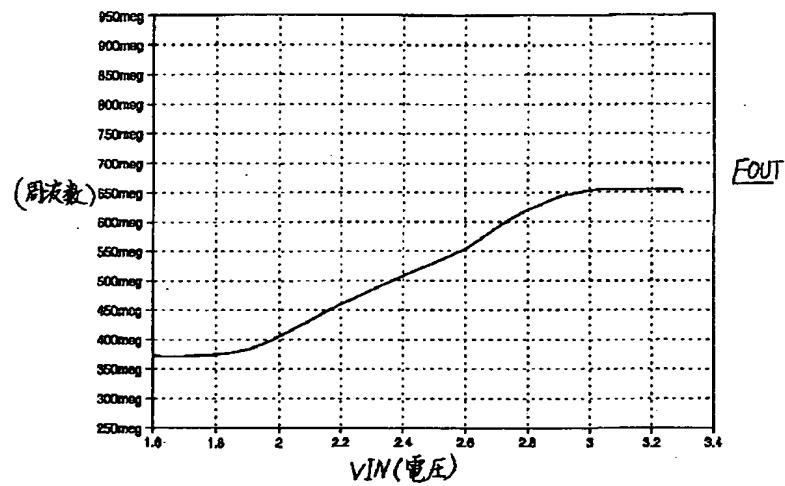
【図 8】



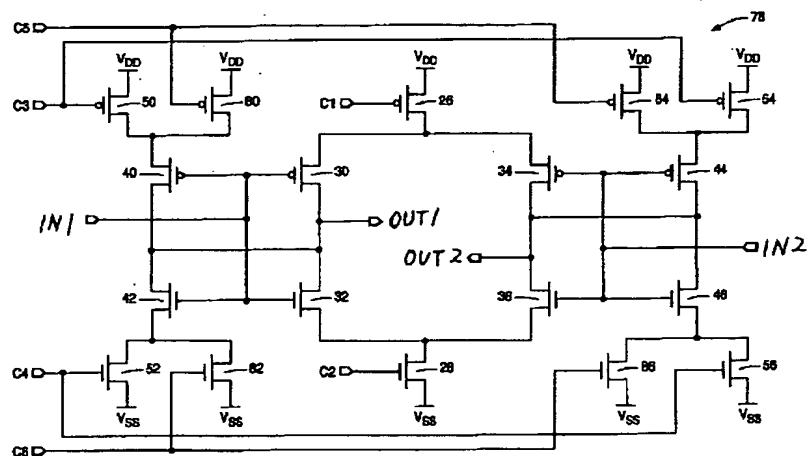
【図 9】



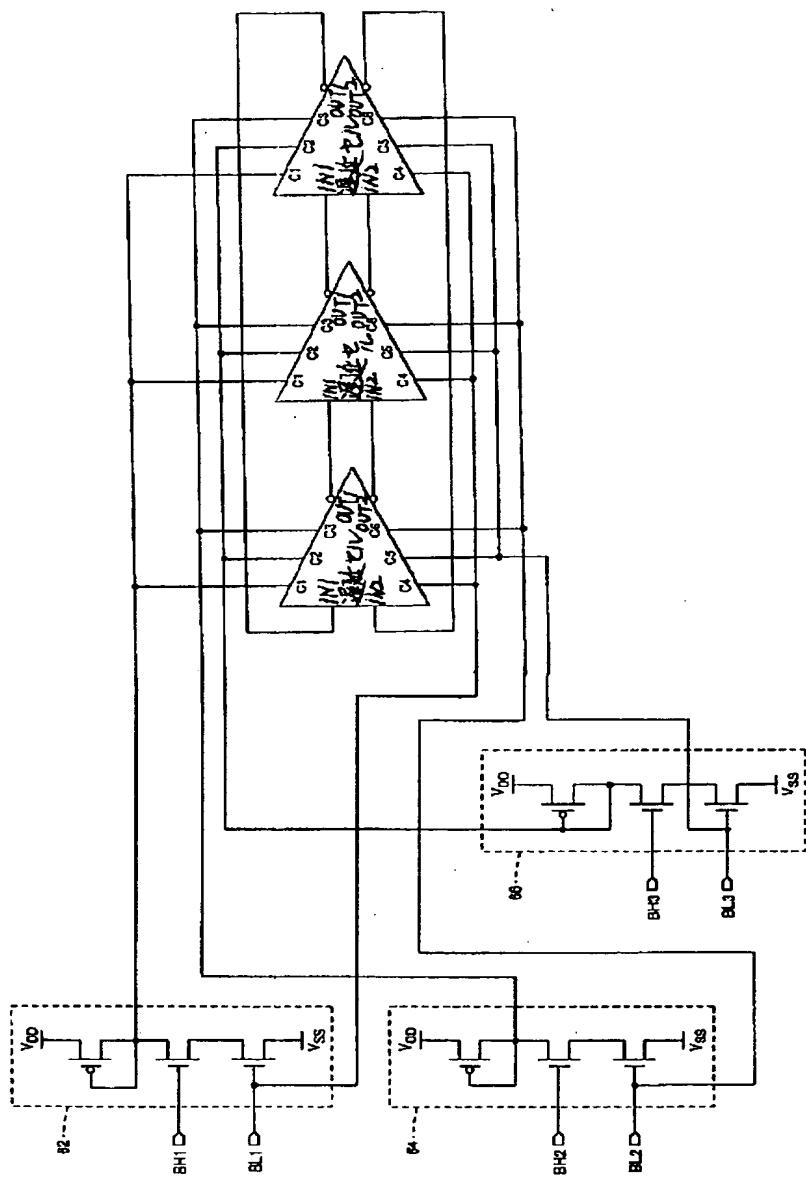
【図 10】



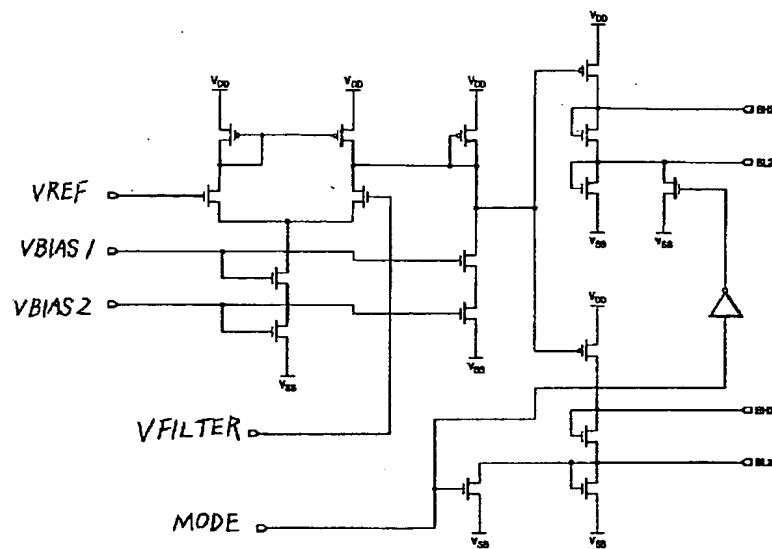
【図 11】



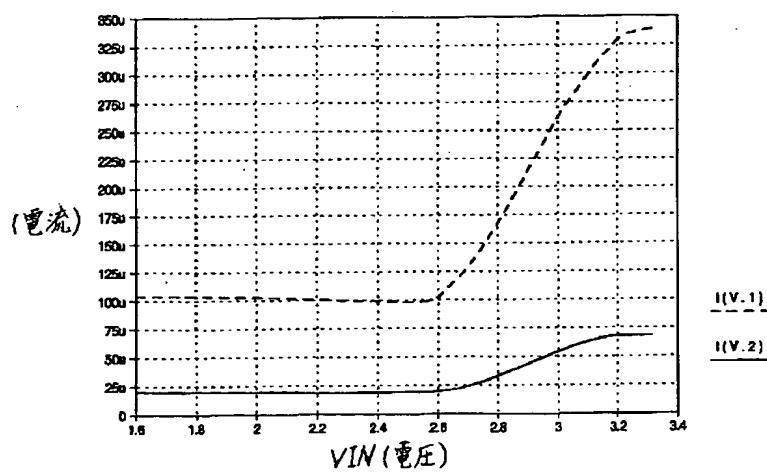
【図 12】



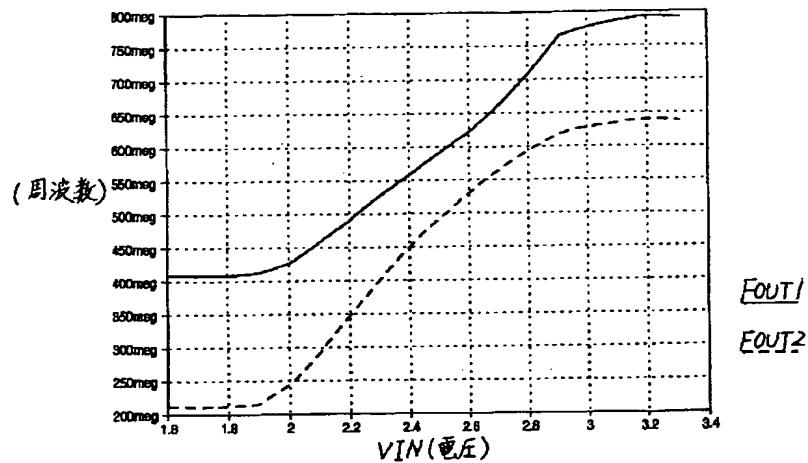
【図 13】



【図 14】



【図 15】



フロントページの続き

(72)発明者 ケネス シー. シュミット
 アメリカ合衆国 コロラド州 80919 コ
 ロラド スプリングス ナイトシェイド
 サークル 4991